

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-156168

(43)Date of publication of application : 08.06.2001

(51)Int.Cl.

H01L 21/768

(21)Application number : 11-334658

(71)Applicant : NEC CORP

(22)Date of filing : 25.11.1999

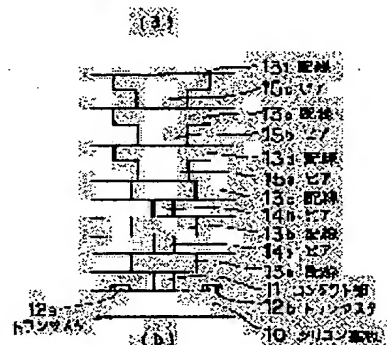
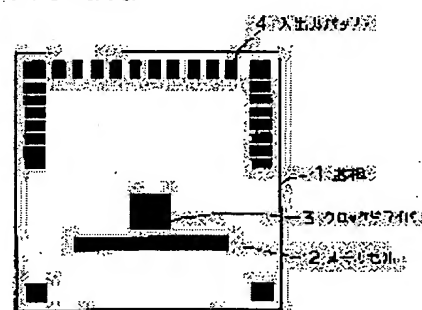
(72)Inventor : MATSUBARA YOSHIHISA
TAKEWAKI TOSHIYUKI
IGUCHI MANABU

(54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which has high mechanical strength and superior heat radiation characteristics.

SOLUTION: A contact part 11 and via holes 14a and 14b of 1st-3rd layers among wiring layers formed on a silicon substrate 10 are formed of tungsten and wirings 13a-13c of the 1st-3rd layers are formed of copper through single damascene machining. The via-holes 15a-15c of 4th-6th layers are formed of tungsten and the wirings 13d-13f of the 4th-6th layers are formed of copper by dual damascene machining. Furthermore, the diameters of the via-holes 15a-15c of the 4th-6th layers are not less than 12.9 times the diameters of the contact part 11 and the via-holes 14a and 14b of the 1st-3rd layers.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-156168

(P2001-156168A)

(43) 公開日 平成13年6月8日 (2001.6.8)

(51) Int.Cl.⁷

H 0 1 L 21/768

識別記号

F I

H 0 1 L 21/90

テーマコード(参考)

C 5 F 0 3 3

審査請求 有 請求項の数10 O L (全 11 頁)

(21) 出願番号 特願平11-334658

(22) 出願日 平成11年11月25日 (1999.11.25)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 松原 義久

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 竹脇 利至

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100088328

弁理士 金田 暢之 (外2名)

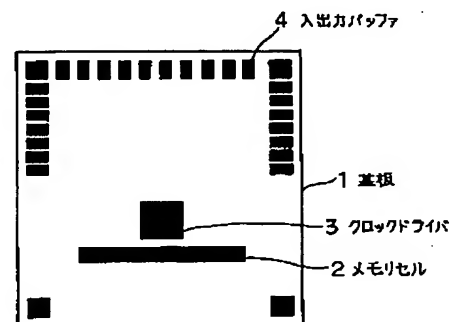
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

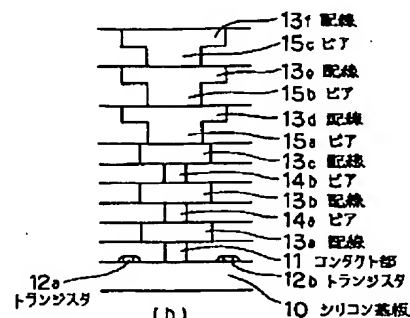
(57) 【要約】

【課題】 機械的強度が強く、かつ、放熱性に優れた半導体装置を提供する。

【解決手段】 シリコン基板10上に形成される配線層のうち、第1層から第3層を、コンタクト部11及びビア14a、14bにタングステン、配線13a～13cに銅をそれぞれ用いてシングルダマシ工程によって形成し、第4層から第6層を、ビア15a～15c及び配線13d～13fに銅を用いてデュアルダマシ工程によって形成し、かつ、第4層から第6層におけるビア15a～15cの径を第1層から第3層におけるコンタクト部11及びビア14a、14bの径の12.9倍以上とする。



(a)



(b)

1

【特許請求の範囲】

【請求項 1】 複数の素子が形成された半導体基板と、前記半導体基板上に形成され、前記複数の素子どうしを接続するための銅からなる信号線や前記複数の素子に電源を供給するための銅からなる電源線及び接地線を具備する複数の配線層とを有し、前記複数の配線層間における信号線、電源線及び接地線の接続が、前記信号線、電源線及び接地線下に形成されたビアによってなされる半導体装置において、

前記信号線及び該信号線下に形成されたビアは、該ビアにタングステンをを用いてシングルダマシン工程によって形成され、

前記電源線及び接地線、並びに該電源線及び接地線下に形成されたビアは、デュアルダマシン工程によって形成され、かつ、当該ビアの面積が前記信号線下に形成されたビアの面積よりも予め決められた割合だけ大きくなるように形成されていることを特徴とする半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置において、前記電源線及び接地線下に形成されたビアの面積は、前記信号線下に形成されたビアの面積の 1.2 倍以上であることを特徴とする半導体装置。

【請求項 3】 複数の素子が形成された半導体基板と、前記半導体基板上に形成され、前記複数の素子どうしを接続するための銅からなる信号線や前記複数の素子に電源を供給するための銅からなる電源線及び接地線を具備する複数の配線層とを有し、前記複数の配線層間における信号線、電源線及び接地線の接続が、前記信号線、電源線及び接地線下に形成された内径が互いに等しいビアによってなされる半導体装置において、

前記信号線及び該信号線下に形成されたビアは、該ビアにタングステンをを用いてシングルダマシン工程によって形成され、

前記電源線及び接地線、並びに該電源線及び接地線下に形成されたビアは、デュアルダマシン工程によって形成され、かつ、前記電源線及び接地線下に形成され、該電源線及び接地線を他の配線層に接続するための 1 つの箇所におけるビアの数が、前記信号線下に形成され、該信号線を他の配線層に接続するための 1 つの箇所におけるビアの数よりも予め決められた割合だけ多くなるように形成されていることを特徴とする半導体装置。

【請求項 4】 請求項 3 に記載の半導体装置において、前記電源線及び接地線下に形成され、該電源線及び接地線を他の配線層に接続するための 1 つの箇所におけるビアの数は、前記信号線下に形成され、該信号線を他の配線層に接続するための 1 つの箇所におけるビアの数の 1.3 倍以上であることを特徴とする半導体装置。

【請求項 5】 複数の素子が形成された半導体基板と、前記半導体基板上に形成され、前記複数の素子どうしを接続するための銅からなる 6 層以上の複数の配線層とを有し、前記複数の配線層が当該配線層に形成されたビア

2

によって互いに接続されてなる半導体装置において、前記配線層のうち第 1 層から第 3 層までの配線層における配線及びビアは、該ビアにタングステンをを用いてシングルダマシン工程によって形成され、

前記配線層のうち前記第 3 層よりも上層の配線層における配線及びビアは、デュアルダマシン工程によって形成され、かつ、当該配線層におけるビアの面積が前記第 1 層から第 3 層までの配線層におけるビアの面積よりも予め決められた割合だけ大きくなるように形成されていることを特徴とする半導体装置。

【請求項 6】 請求項 5 に記載の半導体装置において、前記第 3 層よりも上層の配線層におけるビアの面積は、前記第 1 層から第 3 層までの配線層におけるビアの面積の 1.2 倍以上であることを特徴とする半導体装置。

【請求項 7】 複数の素子が形成された半導体基板と、前記半導体基板上に形成され、前記複数の素子どうしを接続するための銅からなる 6 層以上の複数の配線層とを有し、前記複数の配線層が当該配線層に形成された内径が互いに等しいビアによって互いに接続されてなる半導体装置において、

前記配線層のうち第 1 層から第 3 層までの配線層における配線及びビアは、該ビアにタングステンをを用いてシングルダマシン工程によって形成され、

前記配線層のうち前記第 3 層よりも上層の配線層における配線及びビアは、デュアルダマシン工程によって形成され、かつ、当該配線層にて他の配線層と接続される 1 つの箇所におけるビアの数が前記第 1 層から第 3 層までの配線層にて他の配線層と接続される 1 つの箇所におけるビアの数よりも予め決められた割合だけ多くなるように形成されていることを特徴とする半導体装置。

【請求項 8】 請求項 7 に記載の半導体装置において、前記第 3 層よりも上層の配線層にて他の配線層と接続される 1 つの箇所におけるビアの数は、前記第 1 層から第 3 層までの配線層にて他の配線層と接続される 1 つの箇所におけるビアの数の 1.3 倍以上であることを特徴とする半導体装置。

【請求項 9】 請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置の製造方法であって、

前記半導体基板上に、シングルダマシン工程により、ビアをタングステンを形成し、前記信号線を銅で形成する工程と、

前記信号線が形成された配線層上に、デュアルダマシン工程により、ビア、並びに電源線及び接地線を銅で形成する工程とを行うことにより半導体装置の配線層を形成することを特徴とする半導体装置の製造方法。

【請求項 10】 請求項 5 乃至 8 のいずれか 1 項に記載の半導体装置の製造方法であって、

前記半導体基板上に、シングルダマシン工程により、前記第 1 層から第 3 層におけるビアをタングステンをにより形成し、前記配線を銅により形成する工程と、

3

前記第3層上に、デュアルダマシン工程により、前記ビア及び配線を銅により形成する工程とを行うことにより半導体装置の配線層を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、特に、ダマシン構造を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】従来より、半導体装置の製造方法に用いられるダマシン技術においては、層間絶縁膜の平坦化や配線の形成が容易であり、また、反応性イオンエッチング(RIE)法によるエッチングが困難であるとされている銅(Cu)等の導電材料からなる配線の形成に適用することができることから注目されている。

【0003】ダマシン構造には、ビアホールや配線の溝に成膜により埋め込みを行い、研磨により余分な堆積部分を除去することにより、ホールの埋め込み配線を行うシングルダマシン構造と、ビアホールと配線になるべき部分に予め溝を形成しておき、成膜により埋め込みを行い、その後、研磨により余分な堆積部分を除去することにより、ホールの埋め込みと配線を同時に形成するデュアルダマシン構造とがある。

【0004】図9は、シングルダマシン技術を用いた半導体装置の製造方法を説明するための図である。

【0005】まず、素子(不図示)が形成されたシリコン基板101上に酸化膜層102を形成する(図9(a))。

【0006】次に、酸化膜層102においてコンタクト部が形成される部分にエッチングにより溝103を形成する(図9(b))。

【0007】次に、溝103が形成された酸化膜層102上全面にバリア層104を成膜する(図9(c))。

【0008】次に、バリア層104上にタングステンからなる導電層105を成膜し、それにより、溝103にタングステンを埋め込む(図9(d))。

【0009】次に、CMP(Chemical Mechanical Polishing)による研磨を行い、溝103以外の部分における導電層105及びバリア層103を削除し、それにより、コンタクト部106を形成する(図9(e))。

【0010】次に、コンタクト部106が形成された酸化膜102上に酸化膜107を形成する(図9(f))。

【0011】次に、酸化膜層107におけるコンタクト部106上にエッチングにより溝108を形成する(図9(g))。

【0012】次に、溝108が形成された酸化膜層107上全面にバリア層109を成膜する(図9(h))。

【0013】次に、バリア層109上にCuからなる導

4

電層110を成膜し、それにより、溝108にCuを埋め込む(図9(i))。

【0014】次に、CMPによる研磨を行い、溝108以外の部分における導電層110及びバリア層109を削除し、それにより、配線111を形成する(図9(j))。

【0015】上述した一連の工程により、シングルダマシン構造を有する半導体装置が製造されるが、複数層からなる半導体装置をシングルダマシン技術により製造する場合は、上述した一連の工程を繰り返し行い、それにより、シングルダマシン構造を有する複数層からなる半導体装置が製造される。

【0016】図10は、デュアルダマシン技術を用いた半導体装置の製造方法を説明するための図である。

【0017】まず、図9に示したシングルダマシン技術によってコンタクト部106及び配線111を形成する(図10(a))。

【0018】次に、配線111が形成された酸化膜107上に酸化膜112を形成する(図10(b))。

【0019】次に、酸化膜層112においてビア及び配線が形成される部分にエッチングにより溝113を形成する(図10(c))。

【0020】次に、溝113が形成された酸化膜層112上全面にバリア層114を成膜する(図10(d))。

【0021】次に、バリア層114上にCuからなる導電層115を成膜し、それにより、溝113にCuを埋め込む(図10(e))。

【0022】次に、CMPによる研磨を行い、溝113以外の部分における導電層115及びバリア層114を削除し、それにより、ビア116及び配線117を形成する(図10(f))。

【0023】上述した一連の工程により、デュアルダマシン構造を有する半導体装置が製造されるが、複数層からなる半導体装置をデュアルダマシン技術により製造する場合は、上述した一連の工程のうち、図10(b)から図10(f)に示す工程を繰り返し行い、それにより、デュアルダマシン構造を有する複数層からなる半導体装置が製造される。

【0024】

【発明が解決しようとする課題】複数層からなる半導体装置においては、配線や放熱のためにビアが各層にわたって直線状に形成される箇所がある。

【0025】図11は、シングルダマシン技術のみにより製造された複数層からなる半導体装置の一例を示す断面図である。

【0026】本例は図11に示すように、シリコン基板101上に、タングステンからなるコンタクト部121a及びビア121b～121eとCuからなる配線122a～122eとが直線状になるように積層されて形成

されている。

【0027】ここで、タングステンにおいてはその放熱性が低い。

【0028】そのため、図11に示したような配線構造においては、発熱破壊や熱暴走が生じやすくラッチしやすい配線構造であり、ESD (Electrostatic Discharge) 耐性が低いという問題点がある。

【0029】図12は、デュアルダマシン技術のみにより製造された複数層からなる半導体装置の一例を示す断面図である。

【0030】本例は図12に示すように、シリコン基板101上に、タングステンからなるコンタクト部121aとCuからなるビア131a～131d及び配線122a～122eとが直線状になるように積層されて形成されている。

【0031】ここで、銅においては、引っ張り強度が弱く、その機械的強度が弱い。

【0032】そのため、図12に示したようにビア131a～131dが直線状に形成された半導体装置においては、ボンディングを行う際にビア131a～131dが形成された部分がボンディングの圧力によって破壊されてしまう虞れがある。

【0033】本発明は、上述したような従来の技術が有する問題点に鑑みてなされたものであって、機械的強度が強く、かつ、放熱性に優れた半導体装置及びその製造方法を提供することを目的とする。

【0034】

【課題を解決するための手段】上記目的を達成するために本発明は、複数の素子が形成された半導体基板と、前記半導体基板上に形成され、前記複数の素子どうしを接続するための銅からなる信号線や前記複数の素子に電源を供給するための銅からなる電源線及び接地線を具備する複数の配線層とを有し、前記複数の配線層間における信号線、電源線及び接地線の接続が、前記信号線、電源線及び接地線下に形成されたビアによってなされる半導体装置において、前記信号線及び該信号線下に形成されたビアは、該ビアにタングステンを用いてシングルダマシン工程によって形成され、前記電源線及び接地線、並びに該電源線及び接地線下に形成されたビアは、デュアルダマシン工程によって形成され、かつ、当該ビアの面積が前記信号線下に形成されたビアの面積よりも予め決められた割合だけ大きくなるように形成されていることを特徴とする。

【0035】また、前記電源線及び接地線下に形成されたビアの面積は、前記信号線下に形成されたビアの面積の1.2～9倍以上であることを特徴とする。

【0036】また、複数の素子が形成された半導体基板と、前記半導体基板上に形成され、前記複数の素子どうしを接続するための銅からなる信号線や前記複数の素子に電源を供給するための銅からなる電源線及び接地線を

具備する複数の配線層とを有し、前記複数の配線層間における信号線、電源線及び接地線の接続が、前記信号線、電源線及び接地線下に形成された内径が互いに等しいビアによってなされる半導体装置において、前記信号線及び該信号線下に形成されたビアは、該ビアにタングステンを用いてシングルダマシン工程によって形成され、前記電源線及び接地線、並びに該電源線及び接地線下に形成されたビアは、デュアルダマシン工程によって形成され、かつ、前記電源線及び接地線下に形成され、該電源線及び接地線を他の配線層に接続するための1つの箇所におけるビアの数が、前記信号線下に形成され、該信号線を他の配線層に接続するための1つの箇所におけるビアの数よりも予め決められた割合だけ多くなるように形成されていることを特徴とする。

【0037】また、前記電源線及び接地線下に形成され、該電源線及び接地線を他の配線層に接続するための1つの箇所におけるビアの数は、前記信号線下に形成され、該信号線を他の配線層に接続するための1つの箇所におけるビアの数の1.3倍以上であることを特徴とする。

【0038】また、複数の素子が形成された半導体基板と、前記半導体基板上に形成され、前記複数の素子どうしを接続するための銅からなる6層以上の複数の配線層とを有し、前記複数の配線層が当該配線層に形成されたビアによって互いに接続されてなる半導体装置において、前記配線層のうち第1層から第3層までの配線層における配線及びビアは、該ビアにタングステンを用いてシングルダマシン工程によって形成され、前記配線層のうち前記第3層よりも上層の配線層における配線及びビアは、デュアルダマシン工程によって形成され、かつ、当該配線層におけるビアの面積が前記第1層から第3層までの配線層におけるビアの面積よりも予め決められた割合だけ大きくなるように形成されていることを特徴とする。

【0039】また、前記第3層よりも上層の配線層におけるビアの面積は、前記第1層から第3層までの配線層におけるビアの面積の1.2～9倍以上であることを特徴とする。

【0040】また、複数の素子が形成された半導体基板と、前記半導体基板上に形成され、前記複数の素子どうしを接続するための銅からなる6層以上の複数の配線層とを有し、前記複数の配線層が当該配線層に形成された内径が互いに等しいビアによって互いに接続されてなる半導体装置において、前記配線層のうち第1層から第3層までの配線層における配線及びビアは、該ビアにタングステンを用いてシングルダマシン工程によって形成され、前記配線層のうち前記第3層よりも上層の配線層における配線及びビアは、デュアルダマシン工程によって形成され、かつ、当該配線層にて他の配線層と接続される1つの箇所におけるビアの数が前記第1層から第3層

までの配線層にて他の配線層と接続される 1 つの箇所におけるビアの数よりも予め決められた割合だけ多くなるように形成されていることを特徴とする。

【0041】また、前記第 3 層よりも上層の配線層にて他の配線層と接続される 1 つの箇所におけるビアの数は、前記第 1 層から第 3 層までの配線層にて他の配線層と接続される 1 つの箇所におけるビアの数の 1.3 倍以上であることを特徴とする。

【0042】また、前記半導体装置の製造方法であって、前記半導体基板上に、シングルダマシン工程により、ビアをタングステンで形成し、前記信号線を銅で形成する工程と、前記信号線が形成された配線層上に、デュアルダマシン工程により、ビア、並びに電源線及び接地線を銅で形成する工程とを行うことにより半導体装置の配線層を形成することを特徴とする。

【0043】また、前記半導体装置の製造方法であって、前記半導体基板上に、シングルダマシン工程により、前記第 1 層から第 3 層におけるビアをタングステンにより形成し、前記配線を銅により形成する工程と、前記第 3 層上に、デュアルダマシン工程により、前記ビア及び配線を銅により形成する工程とを行うことにより半導体装置の配線層を形成することを特徴とする。

【0044】（作用）上記のように構成された本発明においては、半導体基板上に、信号線、電源線あるいは接地線を具備する複数の配線層が形成された半導体装置において、信号線及び該信号線下に形成されたビアが、シングルダマシン工程によって、ビアがタングステン、信号線が銅でそれぞれ形成され、また、電源線及び接地線、並びに該電源線及び接地線下に形成されたビアがデュアルダマシン工程によって銅で形成されている。ここで、銅はタングステンに比べて放熱性に優れているので、全ての層のビアがタングステンで形成されたものに比べて放熱性が優れたものとなる。

【0045】また、電源線及び接地線下に形成されたビア、すなわち銅で形成されたビアの内径が、信号線下に形成されたビア、すなわちタングステンで形成されたビアの内径よりも予め決められた割合だけ大きくなっている。この割合は、電源線及び接地線下に形成されたビアの機械的強度が信号線下に形成されたビアの機械的強度以上となる程度のもの（具体的には 1.2 ～ 9 倍）であり、それにより、ビアに銅を用いたことによる機械的強度の低下が抑制されている。

【0046】また、半導体基板上に 6 層以上の配線層を有する半導体装置において、第 1 層から第 3 層におけるビア及び配線が、シングルダマシン工程によって、ビアがタングステン、配線が銅でそれぞれ形成され、第 3 層よりも上層におけるビア及び配線がデュアルダマシン工程によって銅で形成されている。ここで、銅はタングステンに比べて放熱性に優れているので、全ての層のビアがタングステンで形成されたものに比べて放熱性が優れ

たものとなる。

【0047】また、第 3 層よりも上層におけるビア、すなわち銅で形成されたビアの内径が、第 1 層から第 3 層におけるビア、すなわちタングステンで形成されたビアの内径よりも予め決められた割合だけ大きくなっている。この割合は、第 3 層よりも上層におけるビアの機械的強度が第 1 層から第 3 層におけるビアの機械的強度以上となる程度のもの（具体的には 1.2 ～ 9 倍）であり、それにより、ビアに銅を用いたことによる機械的強度の低下が抑制されている。

【0048】また、上述した割合は、銅で形成されたビアの内径を規定するばかりでなく、全てのビアの内径が等しい場合には、配線層間を接続する 1 つの箇所におけるビアの数を規定するものとすることもできる。

【0049】

【発明の実施の形態】以下に、本発明の実施の形態について図面を参照して説明する。

【0050】図 1 は、本発明の半導体装置の実施の一形態を示す図であり、(a) は平面図、(b) は (a) に示した入出力バッファ 4 が設けられた部分の断面図である。

【0051】図 1 に示すように本形態においては、メモリセル 2 及びクロックドライバ 3 等が設けられた基板 1 の周辺部に入出力バッファ 4 が設けられており、入出力バッファ 4 が設けられた部分においては、ビアが複数の層に渡って直線状に形成されている。

【0052】また、基板 1 は、シリコン基板 10 上に、タングステンからなるコンタクト部 11 とコンタクト部 11 を介してシリコン基板 10 上に形成されたトランジスタ 12a、12b と接続された Cu からなる信号線である配線 13a とを有する第 1 層と、配線 13a 上に形成されたタングステンからなるビア 14a とビア 14a を介して配線 13a と接続された Cu からなる信号線である配線 13b とを有する第 2 層と、配線 13b 上に形成されたタングステンからなるビア 14b とビア 14b を介して配線 13b と接続された Cu からなる信号線である配線 13c とを有する第 3 層と、配線 13c 上に形成された Cu からなるビア 15a とビア 15a を介して配線 13c と接続された Cu からなる電源線あるいは接地線である配線 13d とを有する第 4 層と、配線 13d 上に形成された Cu からなるビア 15b とビア 15b を介して配線 13d と接続された Cu からなる電源線あるいは接地線である配線 13e とを有する第 5 層と、配線 13e 上に形成された Cu からなるビア 15c とビア 15c を介して配線 13e と接続された Cu からなる電源線あるいは接地線である配線 13f とを有する第 6 層とが積層されて形成されており、第 1 層～第 3 層までがシングルダマシン構造、第 4 層～第 6 層までがデュアルダマシン構造となっている。

【0053】ここで、コンタクト部 11 及びビア 14

a, 14bとビア15a~15cとの径及び数の関係について説明する。

【0054】熱膨張率においては、タングステンよりも銅の方が大きく、また、ヤング率においては、銅よりもタングステンの方が大きくなっている。この2つの特性から、タングステン及び銅の温度に対する機械的強度が求められる。

【0055】図2は、温度に対する機械的強度を示すグラフである。

【0056】図2に示すように熱応力においては、タングステンが $1.607\text{N}/\text{cm}^2$ であるのに対して、銅が $20.64\text{N}/\text{cm}^2$ となっている。すなわち、タングステンの有する強度以上の強度を銅を用いて実現するためには、銅のサイズをタングステンのサイズの12.9倍以上とする必要がある。

【0057】図3は、熱伝導率の材料依存性を示すグラフである。

【0058】図3に示すように熱伝導率においては、タングステンが $1.60\text{J}/\text{K}\cdot\text{g}\cdot\text{cm}\cdot\text{sec}$ であるのに対して、銅は $3.86\text{J}/\text{K}\cdot\text{g}\cdot\text{cm}\cdot\text{sec}$ となっている。すなわち、銅のサイズをタングステンのサイズに対して0.42倍以上とすれば、放熱作用を十分得られることになる。

【0059】図2に示した機械的強度と図3に示した熱伝導率とから、図1に示したCuからなるビア15a~15cの面積を、タングステンからなるコンタクト部11及びビア14a, 14bの面積の12.9倍とすれば、ビア15a~15cの機械的強度をコンタクト部11及びビア14a, 14bの機械的強度と同等にすることができるとともに、放熱作用を十分に得ることができる。

【0060】図4は、図1に示した半導体装置におけるタングステンからなるビアの数に対するESD耐性の特性を示すグラフである。

【0061】一般に半導体装置においては、ESD耐性は電源5Vの2倍の10V以上あれば十分とされている。

【0062】図4に示すように、タングステンからなるビアの数を3個以下とすればESD耐性は十分である。

【0063】図5は、図1に示した半導体装置におけるタングステンからなるビアの数に対する力学的強度の特性を示すグラフである。

【0064】図4に示したESD耐性の特性から、タングステンからなるビアの数を3個とした場合、その力学的強度は約7PSIとなり、十分な力学的強度となる。

【0065】以下に、上記のように構成された半導体装置の製造方法について説明する。

【0066】図6~図8は、図1に示した半導体装置の製造方法を説明するための図であり、図6は、第1層を形成する工程を示す図、図7は、第2層及び第3層を形

成する工程を示す図、図8は、第4層~第6層を形成する工程を示す図である。

【0067】まず、シリコン基板10上に酸化膜層21を形成する(図6(a))。

【0068】次に、酸化膜層21においてコンタクト部が形成される部分にエッチングにより溝22を形成する(図6(b))。

【0069】次に、溝22が形成された酸化膜層21上全面にSiONからなるバリア層23を成膜する(図6(c))。

【0070】次に、バリア層23上にタングステンからなる導電層24を成膜し、それにより、溝22にタングステンを埋め込む(図6(d))。

【0071】次に、CMP (Chemical Mechanical Polishing) による研磨を行い、溝22以外の部分における導電層24及びバリア層23を削除し、それにより、コンタクト部11を形成する(図6(e))。

【0072】次に、コンタクト部11が形成された酸化膜21上にSiONからなる層間膜25と酸化膜層26を順次形成する(図6(f))。

【0073】次に、酸化膜層26上の配線が形成される領域以外にレジスト27を塗布する(図6(g))。

【0074】次に、レジスト27が形成されていない領域下の層間膜25及び酸化膜層26をエッチングにより除去して溝28を形成し、その後、レジスト27を剥離させる(図6(h))。

【0075】次に、溝28が形成された酸化膜層26上全面にバリア層29を成膜する(図6(i))。

【0076】次に、バリア層29上にCuからなる導電層30を成膜し、それにより、溝28にCuを埋め込む(図6(j))。

【0077】次に、CMPによる研磨を行い、溝28以外の部分における導電層30及びバリア層29を削除し、それにより、配線13aを形成する(図6(k))。

【0078】上述した一連の工程により第1層が形成される。

【0079】次に、図6に示す工程にて製造された基板上に層間膜31及び酸化膜層32を順次形成する(図7(a))。

【0080】次に、酸化膜層32上のビアが形成される領域以外にレジスト33を塗布する(図7(b))。

【0081】次に、レジスト33が形成されていない領域下の酸化膜層32をエッチングにより除去して溝34を形成し、その後、レジスト33を剥離させる(図7(c))。

【0082】次に、溝34が形成された酸化膜層32上全面にバリア層35を成膜する(図7(d))。

【0083】次に、バリア層35上にタングステンからなる導電層36を成膜し、それにより、溝34にタング

ステンを埋め込む(図7(e))。

【0084】次に、CMPによる研磨を行い、溝34以外の部分における導電層36及びバリア層35を削除し、それにより、ビア14aを形成する(図7(f))。

【0085】次に、ビア14aが形成された酸化膜32上に層間膜37及び酸化膜層38を順次形成する(図7(g))。

【0086】次に、酸化膜層37上の配線が形成される領域以外にレジスト39を塗布する(図7(h))。

【0087】次に、レジスト39が形成されていない領域下の層間膜37及び酸化膜層38をエッチングにより除去して溝40を形成し、その後、レジスト39を剥離させる(図7(i))。

【0088】次に、溝40が形成された酸化膜層39上全面にバリア層41を成膜する(図7(j))。

【0089】次に、バリア層41上にCuからなる導電層42を成膜し、それにより、溝40にCuを埋め込む(図7(k))。

【0090】次に、CMPによる研磨を行い、溝40以外の部分における導電層42及びバリア層41を削除し、それにより、配線13bを形成する(図7(l))。

【0091】上述した一連の工程により第2層が形成される。

【0092】その後、図7に示した工程を繰り返し行うことにより第3層までが形成される。

【0093】次に、図7に示す工程により形成された第3層上に、層間膜43、酸化膜層44、層間膜45及び酸化膜層46を順次形成する(図8(a))。

【0094】次に、酸化膜層46上のビアが形成される領域以外にレジスト47を塗布する(図8(b))。

【0095】次に、レジスト47が形成されていない領域下の酸化膜層44、46及び層間膜45をエッチングにより除去して溝48を形成し、その後、レジスト47を剥離させる(図8(c))。

【0096】次に、溝48が形成された酸化膜層46上全面に反射防止膜49を成膜し、それにより、溝48に反射防止膜49を埋め込む(図8(d))。

【0097】次に、反射防止膜49上の配線が形成される領域以外にレジスト50を塗布する(図8(e))。

【0098】次に、レジスト50が形成されていない領域下の酸化膜層46と反射防止膜49とをエッチングにより除去し、その後、レジスト50を剥離させる(図8(f))。

【0099】次に、基板上全面にバリア層51を成膜する(図8(g))。

【0100】次に、バリア層51上にCuからなる導電層52を成膜し、それにより、溝48にCuを埋め込む(図8(h))。

【0101】次に、CMPによる研磨を行い、溝48以外の部分における導電層52及びバリア層51を削除し、それにより、ビア15a及び配線13dを形成する(図8(i))。

【0102】上述した一連の工程により第4層が形成される。

【0103】その後、図8に示した工程を繰り返し行うことにより第6層までが形成される。

【0104】(他の実施の形態) 上述した実施の形態においては、Cuからなるビア15a～15cの面積をタングステンからなるコンタクト部11及びビア14a、14bの面積の12.9倍としたが、ビア1つ当たりの面積を互いに等しくして、Cuからなるビアの数をタングステンからなるビアの数の13倍とすれば、上記同様の効果を得ることができる。

【0105】

【発明の効果】以上説明したように本発明においては、半導体基板上に、信号線、電源線あるいは接地線を具備する複数の配線層が形成された半導体装置において、信号線及び該信号線下に形成されたビアが、シングルダマシ工程によって、ビアがタングステン、信号線が銅でそれぞれ形成され、また、電源線及び接地線、並びに該電源線及び接地線下に形成されたビアがデュアルダマシ工程によって銅で形成されている。このように、ビアの一部がタングステンよりも放熱性に優れた銅にて形成されているため、全ての層のビアがタングステンで形成されたものに比べて放熱性に優れたものとすることができる。

【0106】さらに、電源線及び接地線下に形成されたビア、すなわち銅で形成されたビアの内径が、信号線下に形成されたビア、すなわちタングステンで形成されたビアの内径よりも、ビアの機械的強度がタングステンを用いた場合以上となるような割合だけ大きくなっているため、ビアに銅を用いた場合における機械的強度を強くすることができる。

【0107】また、半導体基板上に複数の配線層が形成された半導体装置において、第1層から第3層におけるビア及び配線が、シングルダマシ工程によって、ビアがタングステン、配線が銅でそれぞれ形成され、また、第3層よりも上層におけるビア及び配線がデュアルダマシ工程によって銅で形成されている。このように、ビアの一部がタングステンよりも放熱性に優れた銅にて形成されているため、全ての層のビアがタングステンで形成されたものに比べて放熱性に優れたものとするすることができる。

【0108】さらに、第3層よりも上層におけるビア、すなわち銅で形成されたビアの内径が、第1層から第3層におけるビア、すなわちタングステンで形成されたビアの内径よりも、ビアの機械的強度がタングステンを用いた場合以上となるような割合だけ大きくなっているた

め、ビアに銅を用いた場合における機械的強度を強くすることができる。

【0109】また、上述した割合によって、配線層間を接続する1つの箇所におけるビアの数を規定した場合においても上記同様の効果を奏する。

【図面の簡単な説明】

【図1】図1は、本発明の半導体装置の実施の一形態を示す図であり、(a)は平面図、(b)は(a)に示した入出力バッファが設けられた部分の断面図である。

【図2】温度に対する機械的強度を示すグラフである。

【図3】熱伝導率の材料依存性を示すグラフである。

【図4】図1に示した半導体装置におけるタングステンからなるビアの数に対するESD耐性の特性を示すグラフである。

【図5】図1に示した半導体装置におけるタングステンからなるビアの数に対する力学的強度の特性を示すグラフである。

【図6】図1に示した半導体装置の製造方法において第1層を形成する工程を示す図である。

【図7】図1に示した半導体装置の製造方法において第2層及び第3層を形成する工程を示す図である。

【図8】図1に示した半導体装置の製造方法において第4層～第6層を形成する工程を示す図である。

【図9】シングルダマシン技術を用いた半導体装置の製

造方法を説明するための図である。

【図10】デュアルダマシン技術を用いた半導体装置の製造方法を説明するための図である。

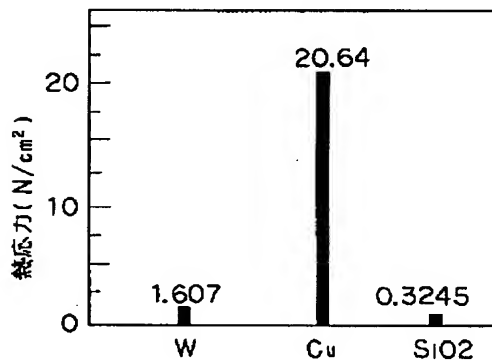
【図11】シングルダマシン技術のみにより製造された複数層からなる半導体装置の一例を示す断面図である。

【図12】デュアルダマシン技術のみにより製造された複数層からなる半導体装置の一例を示す断面図である。

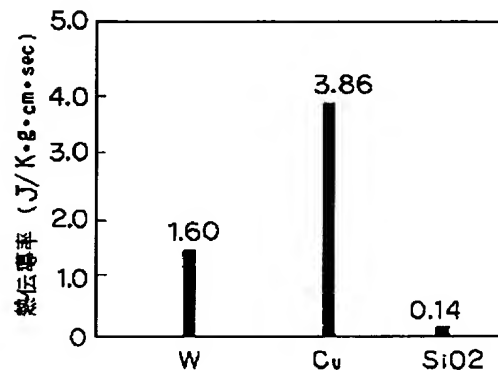
【符号の説明】

- | | |
|------------------------|----------|
| 1 | 基板 |
| 2 | メモリセル |
| 3 | クロックドライバ |
| 4 | 入出力バッファ |
| 10 | シリコン基板 |
| 11 | コンタクト部 |
| 12a, 12b | トランジスタ |
| 13a～13f | 配線 |
| 14a～14c, 15a, 15b | ビア |
| 21, 26, 32, 38, 44, 46 | 酸化膜層 |
| 22, 28, 34, 40, 48 | 溝 |
| 23, 29, 35, 41, 51 | バリア層 |
| 24, 30, 36, 42, 52 | 導電層 |
| 25, 31, 37, 43, 45 | 層間膜 |
| 27, 33, 39, 47, 50 | レジスト |
| 49 | 反射防止膜 |

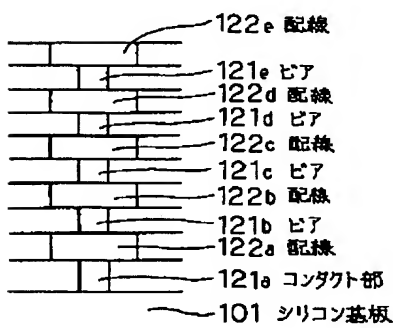
【図2】



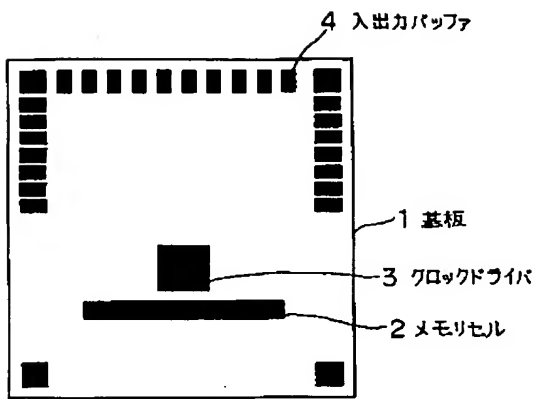
【図3】



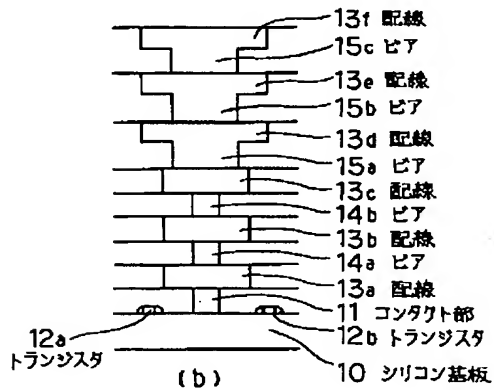
【図11】



【図1】

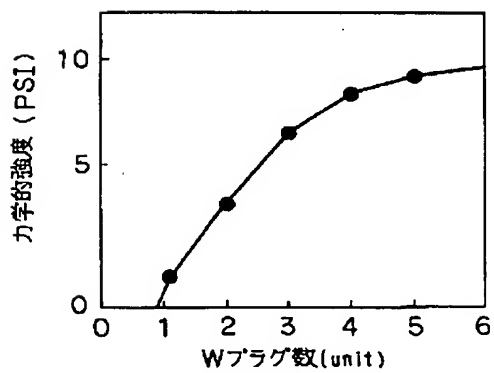


(a)

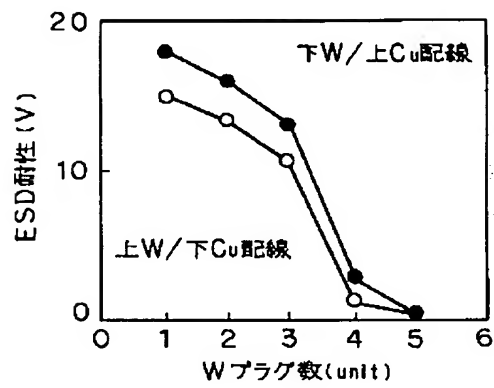


(b)

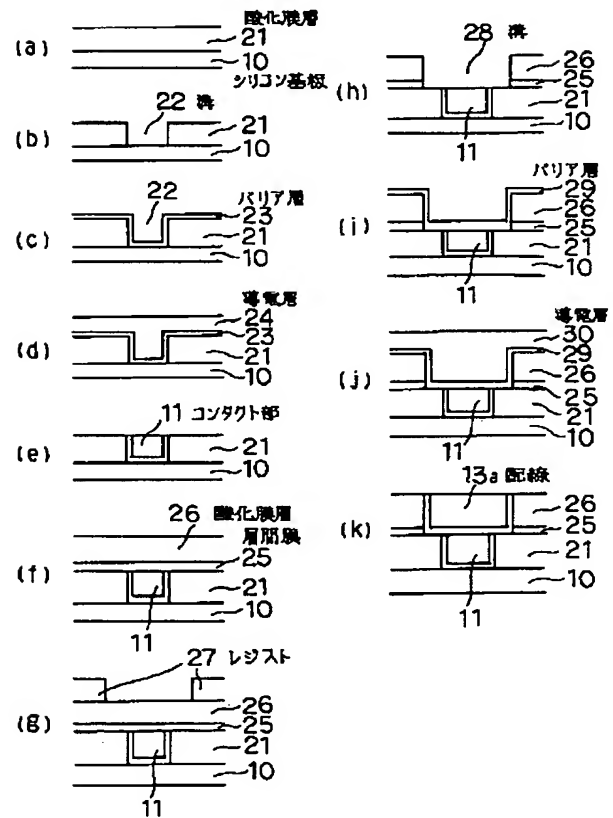
【図5】



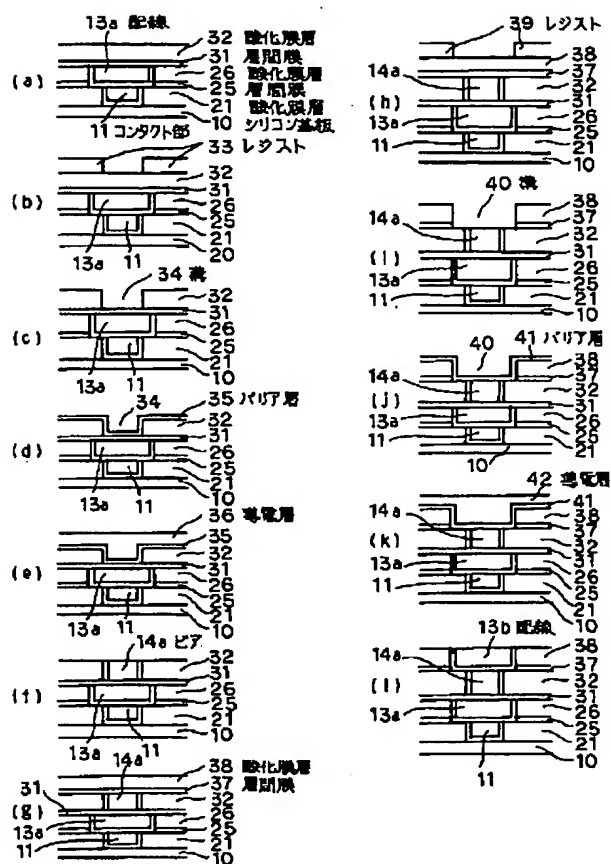
【図4】



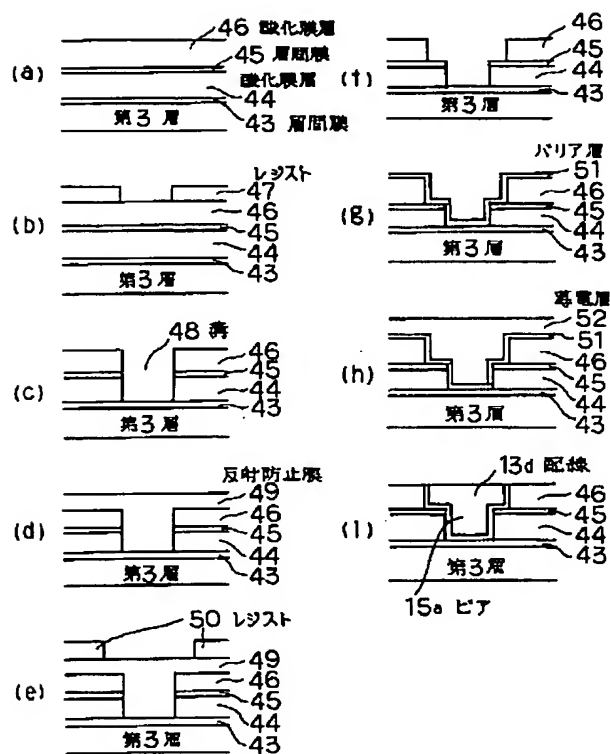
【図6】



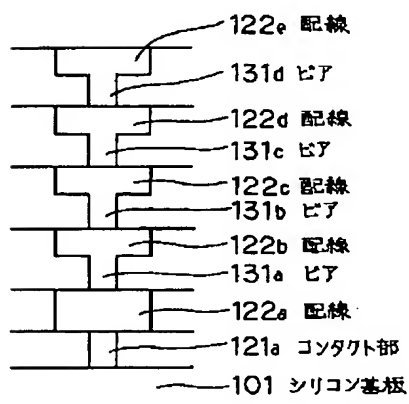
【図 7】



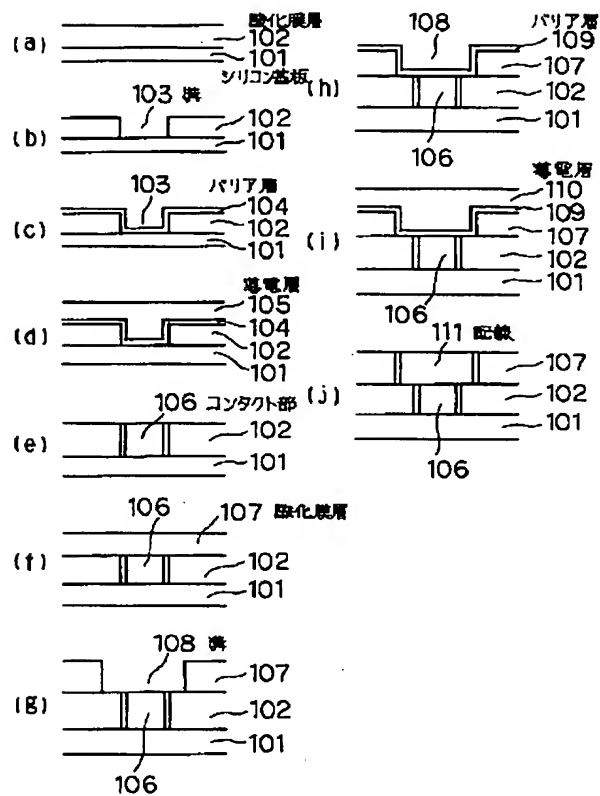
【図 8】



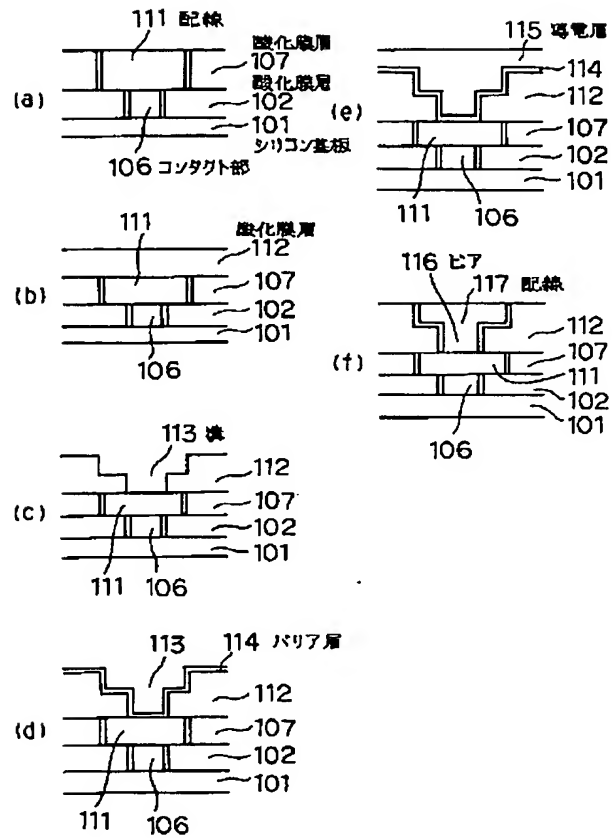
【図 12】



【図 9】



【図 10】



フロントページの続き

(72)発明者 井口 学
東京都港区芝五丁目 7 番 1 号 日本電気株
式会社内

F ターム (参考) 5F033 HH11 JJ01 JJ19 KK01 KK11
MM01 MM02 MM12 MM13 NN01
NN06 NN07 NN34 NN39 QQ37
QQ48 RR04 RR08 VV04 VV05
WW01 XX22